

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-307157

(43)公開日 平成8年(1996)11月22日

(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 0 3 D	5/00		H 0 3 D	5/00
	1/00			A
	3/00		1/00	A
	3/06		3/00	A
			3/06	B

審査請求 未請求 請求項の数3 FD (全10頁)

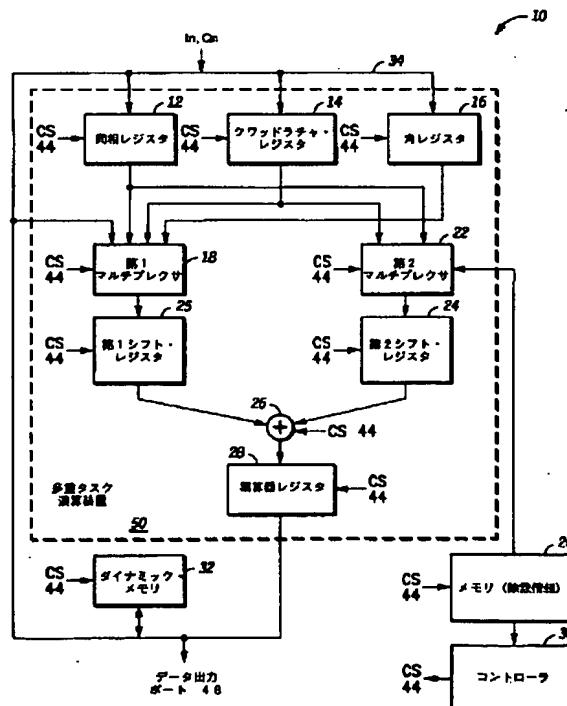
(21)出願番号	特願平8-127632	(71)出願人	390009597 モトローラ・インコーポレイテッド MOTOROLA INCORPORATED
(22)出願日	平成8年(1996)4月25日	(72)発明者	RED アメリカ合衆国イリノイ州シャンバーグ、 イースト・アルゴンキン・ロード1303 ジョーズ・ジー・コーレト
(31)優先権主張番号	435105 U.S. Serial No.	(72)発明者	アメリカ合衆国テキサス州オースチン、チ エノ・コーティナ8209 グレッグ・エス・コドラ
(32)優先日	1995年5月4日	(72)発明者	アメリカ合衆国テキサス州オースチン、グ ルームス・ストリート3704
(33)優先権主張国	米国(US)	(74)代理人	ルームス・ストリート3704 弁理士 大貫 進介 (外1名)

(54)【発明の名称】復調器で算術演算を実施する回路

(57)【要約】

【課題】復調器で算術演算を実施する回路が提供される。

【解決手段】同相信号 I (n) とクワッドラチャ信号 Q (n) からラジアス値と位相値を決定する回路 10 は、好適にはCORDICアルゴリズムを使用して、初期の同相信号とクワッドラチャ信号に基づき、位相値とラジアス値を繰り返し概算する。回路 10 は、多重タスク演算装置 50、メモリ 20 およびコントローラ 30 を含む。多重タスク演算装置は、レジスタ 12, 14, 16, マルチプレクサ 18, 22, シフト・レジスタ 24, 25 および加算器 26 を含み、各種の算術演算を実施する。回路 10 はさらに、ラジアス値と位相値の種々の時間点における解を格納するダイナミック・メモリ 32 を含み、これらの解は、ラジアス値と位相値のフィルタリングにその後使用される。



【特許請求の範囲】

【請求項1】 同相信号およびクワッドラチャ信号からラジアス値および位相値を決定する回路(10)であって:同相レジスタ(12);クワッドラチャ・レジスタ(14);角レジスタ(16);前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14)および前記角レジスタ(16)と動作的に結合された第1マルチプレクサ(18);位相分割情報を格納するメモリ(20);前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14)および前記メモリ(20)と動作的に結合される第2マルチプレクサ(22);前記第2マルチプレクサ(22)と動作的に結合されるシフト・レジスタ(24)であって、前記シフト・レジスタ(24)は乗算演算の少なくとも一部分を実施するシフト・レジスタ(24);前記シフト・レジスタ(24)および前記第1マルチプレクサ(18)と動作的に結合される加算器(26);前記加算器(26),前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14),および前記角レジスタ(16)と動作的に結合される累算器レジスタ(28);および、前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14),前記角レジスタ(16),前記第1マルチプレクサ(18),前記第2マルチプレクサ(22),前記シフト・レジスタ(24),前記加算器(26),前記累算器レジスタ(28),および前記メモリ(20)に制御信号を与えるコントローラ(30)であって、前記制御信号に基づき、前記ラジアス値および前記位相値が、前記同相信号および前記クワッドラチャ信号に基づいて、前記ラジアス値および前記位相値を繰り返し概算することにより、前記同相信号および前記クワッドラチャ信号から決定されるコントローラ(30);によって構成されることを特徴とする回路。

【請求項2】 各種の算術演算を実施する多重タスク演算装置(50)であって:同相レジスタ(12);クワッドラチャ・レジスタ(14);角レジスタ(16);前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14)および前記角レジスタ(16)と動作的に結合された第1マルチプレクサ(18);前記同相レジスタ(12)と前記クワッドラチャ・レジスタ(14)と動作的に結合された第2マルチプレクサ(22);前記第1マルチプレクサと動作的に結合された第1シフト・レジスタ(25)であって、前記第1シフト・レジスタは、乗算演算の少なくとも一部を実施する第1シフト・レジスタ(25);前記第2マルチプレクサ(22)と動作的に結合された第2シフト・レジスタ(24)であって、前記第2シフト・レジスタ(24)は乗算演算の少なくとも一部を実施する第2シフト・レジスタ(24);前記第1シフト・レジスタ(25)および前記第2シフト・レジスタ(24)と動作的に結合された第1加算器(26);前記第1加算

器(26),前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14),前記角レジスタ(16),および前記第1マルチプレクサ(18)と動作的に結合される累算器レジスタ(28);および、前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14),前記角レジスタ(16),前記第1マルチプレクサ(18),前記第2マルチプレクサ(22),前記第1シフト・レジスタ(25),前記第2シフト・レジスタ(24),前記第1加算器(26),および前記累算器レジスタ(28)に制御信号を与えるコントローラ(30)であって、前記制御信号に基づき、各種の算術演算が実施されるコントローラ(30);によって構成されることを特徴とする多重タスク演算装置。

【請求項3】 各種の算術演算を実施する並列プロセッサ(100)であって:複数の多重タスク演算装置(50)で、前記各複数の多重タスク演算装置は:同相レジスタ(12);クワッドラチャ・レジスタ(14);角レジスタ(16);前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14)および前記角レジスタ(16)と動作的に結合された第1マルチプレクサ(18);前記同相レジスタ(12)および前記クワッドラチャ・レジスタ(14)と動作的に結合された第2マルチプレクサ(22);前記第1マルチプレクサ(18)と動作的に結合された第1シフト・レジスタ(25)であって、前記第1シフト・レジスタ(25)は乗算演算の少なくとも一部を実施する第1シフト・レジスタ(25);前記第2マルチプレクサ(22)と動作的に結合された第2シフト・レジスタ(24)であって、前記第2シフト・レジスタ(24)は乗算演算の少なくとも一部を実施する第2シフト・レジスタ(24);前記第1シフト・レジスタ(25)および前記第2シフト・レジスタ(24)と動作的に結合された第1加算器(26);前記加算器(26)の出力,前記同相レジスタ(12),前記クワッドラチャ・レジスタ(14),前記角レジスタ(16)および前記第1マルチプレクサ(18)と動作的に結合された累算器レジスタ(28);を含む複数の多重タスク演算装置(50);前記各多重タスク演算装置(50)と動作的に結合されるデータ・バス(104);前記各多重タスク演算装置(50)と動作的に結合されるメモリ(20);前記各多重タスク演算装置(50)と動作的に結合されるダイナミック・メモリ(32);および前記複数の多重タスク演算装置(50)のそれぞれに制御信号を与えるコントローラ(102)であって、前記制御信号に基づき、各種の算術演算が前記並列プロセッサ(100)によって実施されるコントローラ(102);によって構成されることを特徴とする並列プロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はデジタル・ラジオ受信機に関し、さらに詳しくは放送周波数変調（FM）信号および振幅変調（AM）信号を復調し、これらの信号をデジタル的にフィルタするデジタル回路に関する。

【0002】

【従来の技術】放送AM信号とFM信号の受信と復調は技術上知られている。歴史的にAM信号とFM信号の受信と復調は、アナログ回路を用いて行われ、この回路では、多くのアナログ素子が入力信号を受信して、信号の振幅部分と位相部分を除去して、信号の振幅部分と位相部分の中に含まれる情報を渡して、さらに処理を行い出力する。最近になって、デジタル回路が出現し、設計者は、信号の復調とフィルタリングにおいてデジタル信号処理を採用するラジオを作れるようになった。

【0003】デジタルAM/FMラジオは、アンテナを使用して、アナログ形式の放送信号を受信する。ついでラジオ周波数（RF）インターフェースが、このアナログ信号を増幅して、増幅した信号をチューナに渡す。チューナは信号の中の所望の周波数成分にロックし、所望の周波数成分を10.7MHzに再変調する。IFプロセッサはついで、再変調されたアナログ信号を受信して、アナログ信号をデジタル変換し、ついで、このデジタル信号をクワッドラチャ・ミクスダウン（quadrature mixes down）して、同相信号とクワッドラチャ信号を作る。この同相信号とクワッドラチャ信号はついで、デジタル的にフィルタされて、受信機の選択性を向上させ、隣接するチャンネルの干渉を低減する。復調器は、同相信号とクワッドラチャ信号を復調して、振幅値またはラジアス（radius）値と位相値を生じる。ついでFM情報とAM情報が、復調された信号から抽出される。FM情報とAM情報はついで、より低いサンプリング周波数にデシメート（decimate）され、このデシメーション段階は、低域フィルタリング、および新しいサンプリング速度へのアンダーサンプリング（undersampling）によって構成される。いったん位相信号と振幅信号がより低い速度でサンプリングされると、それらはさらにデジタル的に処理されて、誘導される点火雑音を除去し、放送局で符合化される可聴信号を検索できる。

【0004】同相信号とクワッドラチャ信号の振幅値、位相値への変換、およびその後のこれらの値のフィルタリングは依然難しく計算集約的な作業である。この変換プロセスを扱うほとんどのアルゴリズムは、高価なハードウェア実現を必要とし、高速で大型の電力消費量の多い加算器と乗算器を必要とし、これがデジタル復調方式の効率性を制限し、このため、従来のアナログ手段に対する利点に影響を与えていた。

【0005】いくつかのアルゴリズムは復調プロセスの複雑性を低減し、これにより、効率性を向上させて、ハードウェア条件を削減している。具体的な1つのアルゴリズムは、座標回転デジタル・コンピュータ（coordi-

nate rotational digital computer: CORDIC）アルゴリズムの角累算（angle accumulation）モードであり、同相ベクトルと直角ベクトルに基づき、振幅値と位相値を概算する反復手続である。CORDICアルゴリズムは依然乗算、加算および減算を必要とするが、乗算は、シフト・レジスタによって実現できるものであるため、ハードウェア条件を低減している。

【0006】たとえCORDICアルゴリズムがハードウェアの乗算器を必要としなくとも、変換プロセスを実施するには、記憶素子の他に少なくとも2個のシフタと3個の加算器が必要である。このため、CORDICアルゴリズムを実行するデバイスは依然、実質的なハードウェアを必要とした。前記ハードウェアは、それ自体では、その後のデシメーション・プロセスで必要とされるデジタル・フィルタリング動作を実行できない。振幅と位相の計算を実行し、その後デジタル・フィルタリングを行ってデシメーションを行う先行技術のデバイスの複雑性は、結果的に費用がかさみ、性能が低下するため、デジタル復調方式の全体的性能を制限していた。

【0007】

【発明が解決しようとする課題】このため、効率的に、最小の回路素子で、同相信号とクワッドラチャ信号をラジアス値と位相値に変換して、その後のフィルタリング動作を実行する装置に対する必要性が技術上存在する。

【0008】

【課題を解決するための手段】一般に本発明は、各種の算術演算を実施する回路を提供し、より具体的には、ラジオの復調器で使用するための、同相信号とクワッドラチャ信号からラジアス値と位相値を決定する回路を提供する。ラジアス値と位相値は、初期の同相信号とクワッドラチャ信号に基づき位相値とラジアス値を繰り返し概算する回路、および各反復段階の誤差によって決定される。この回路は信号をフィルタするのが望ましい。回路は、レジスタ、乗算器、シフト・レジスタ、加算器およびメモリによる構成を使用し、これらすべてがコントローラによって制御されて、必要な反復計算を実行する。この回路はさらに、各サンプリング間隔で結果を格納するダイナミック・メモリを含み、これらの結果はラジアス値と位相値をフィルタするのに使用される。繰り返しの解およびその他の算術演算は、本発明の回路によって、より少ない演算数で実施されて、以前は得られなかつた利点を持たらす。

【0009】

【実施例】図1は、同相信号とクワッドラチャ信号からラジアス値と位相値を決定し、各種のフィルタリング動作を実行する回路10を示す。この回路はまた、フィルタリング動作と、必要に応じて他の演算を実施する。回路10は、メモリ20、コントローラ30、および多重タスク演算装置50によって構成される。本発明の回路10によって実施される機能はデジタル・ラジオに容

易に適用できるが、デジタル・ラジオの全体的な動作は、本発明とは即座に密接に関連するものではない。このため、デジタル・ラジオの全体的な動作は、本発明の動作をより明かにするためにのみ説明する。

【0010】メモリ20は、読み出し専用メモリ(ROM)またはその他のスタティック・メモリによって構成され、これは、回路10によって実施される演算に使用する定数を格納する。本発明の回路10は、CORDICアルゴリズムを使用して、冗長な計算を実施できるので、またCORDICアルゴリズムは定数の冗長的使用を必要とするので、メモリ20は、アルゴリズムで使用される定数に直接アクセスすることによって、CORDICアルゴリズムの実行を容易にし効率的にする。技術上周知のように、メモリ20の選択は、システム要件に依存する。これらの要件についてはここでは詳述しない。

【0011】多重タスク演算装置50は、互いに動作的に結合された、同相レジスタ12、クワッドラチャ・レジスタ14、角レジスタ(angular register)16、第1マルチプレクサ18、第2マルチプレクサ22、第2シフト・レジスタ24、加算器26、累算器レジスタ28、およびコントローラ30によって構成される。多重タスク演算装置50はまた、第1シフト・レジスタ25を含む。データ・バス34は、演算装置50の各素子と動作的に結合し、またデータ出力ポート48においてデータの出力ができるようにする。多重タスク演算装置50は、各種の演算機能を実施し、その1つは、同相信号とクワッドラチャ信号からラジアス値と位相角度を決定することである。

【0012】第1マルチプレクサ18は、データ・バス34、同相レジスタ12、クワッドラチャ・レジスタ14、および角レジスタ16と動作的に結合する。第2マルチプレクサ22は、同相レジスタ12、クワッドラチャ・レジスタ14、およびメモリ20と動作的に結合する。第2シフト・レジスタ24は、第2マルチプレクサ22の出力をその入力として受け取り、一方、第1シフト・レジスタ25は、入力として、第1マルチプレクサ18の出力を受け取る。加算器26は、第1シフト・レジスタ25の出力および第2シフト・レジスタ24の出力をその2つの入力として受け取る。加算器26は、制御信号44に依存して、第2シフト・レジスタ24の内容を第1シフト・レジスタ25に加えるか、または第1シフト・レジスタ25から第2シフト・レジスタ24の内容を引いて、出力を生じることができる。第1シフト・レジスタ25からの入力値を入力A、第2シフト・レジスタ24からの入力を入力Bと想定すると、加算器26の演算は、加算器26で受信した制御信号44に応じて、(A+B)または(A-B)になる。累算器レジスタ28は、その入力として、加算器26の出力を受け取り、その出力を選択的にシステム・バス34に与える。

【0013】回路10は、ダイナミック・メモリ32を含むことができ、このメモリは、第1マルチプレクサ18、データ・バス34、同相レジスタ12、クワッドラチャ・レジスタ14、角レジスタ16、および累算器レジスタ28と相互に動作可能な形で(interoperable)結合し、ラジアス値および位相値を格納するほか、多重タスク演算装置50が出すその他の結果も格納する。ダイナミック・メモリ32は、ランダム・アクセス・メモリ(RAM)またはその他の技術上周知のダイナミック・メモリによって構成されることが望ましい。ダイナミック・メモリ32はまた、データを受け取って、データ・バス34にデータを与える。

【0014】コントローラ30は、制御信号44を、同相レジスタ12、クワッドラチャ・レジスタ14と角レジスタ16、第1マルチプレクサ18、メモリ20、第2マルチプレクサ22、累算器レジスタ28、第1シフト・レジスタ25、第2シフト・レジスタ24、およびダイナミック・メモリ32に与える。コントローラ30は、メモリ20から値(フィルタ係数)を受け取って、少なくともこれらの値の一部に基づき、制御信号44を出す。制御信号44に基づき、ラジアス値および位相値は、同相信号とクワッドラチャ信号の値に基づいてラジアス値および位相値を繰り返し概算することによって決定される。このような計算は、CORDICアルゴリズムに従って実施される。

【0015】演算において、同相レジスタ12とクワッドラチャ・レジスタ14は、データ・バス34を介して、同相信号とクワッドラチャ信号を受信する。表記I(n)およびQ(n)はそれぞれ、サンプル間隔(n)の同相信号およびクワッドラチャ信号を表す。同相信号とクワッドラチャ信号は、以前にデジタル化されフィルタされて、時間(n)に採取されたアナログ信号の量子化標本を表す。コントローラ30は、同相信号とクワッドラチャ信号をそれぞれ、同相レジスタ12とクワッドラチャ・レジスタ14にロードするのに必要な制御信号44を与える。いったんロードされたなら、アルゴリズムが開始できる。本発明の回路10は、CORDICアルゴリズムの角累算モードを使用して、同相信号とクワッドラチャ信号から、ラジアス値と位相値を計算することが望ましい。このアルゴリズムは、15回の繰り返しを必要とすることが望ましく、k=1から15の反復については以下のよう進行する。

反復k=1の場合：

$$\Phi(n, 1) = S_q * \pi / 2$$

$$I(n, 1) = S_q * Q(n)$$

$$Q(n, 1) = - S_q * I(n)$$

ここでS_q=Q(n, k-1)の符号。ゆえにk=1の場合には、S_q=Q(n)の符号となる。

反復k=2, ..., 15の場合：

$$\begin{aligned}\Phi(n, k) &= \Phi(n, k-1) + Sq * \text{atan}[2^{1-k}] \\ I(n, k) &= I(n, k-1) + Sq * Q(n, k-1) * 2^{1-k} \\ Q(n, k) &= Q(n, k-1) - Sq * I(n, k-1) * 2^{1-k}\end{aligned}$$

ここで $\text{atan}[2^{1-k}] = 2^{1-k}$ のアークタンジェントである。

【0016】本発明の回路10を参照して、反復 $k=1$ の場合、同相レジスタ12は最初に $I(n)$ を受け取り、クワッドラチャ・レジスタ14は $Q(n)$ を受け取る。ついで、 $\pi/2$ が、制御信号44に基づき、メモリ20から第2マルチプレクサ22へとロードされ、加算器26への第2入力として与えられる。第1マルチプレクサ18の値はヌルになり、加算器26の第1入力として与えられる。 $Q(n)$ の符号に基づき、コントローラ30は、制御信号44を加算器に与えて、加算または減算が実施されるようにする。累算器レジスタ28は加算器26から $\Phi(n, 1)$ を受け取り、この値は、バス34を介して角レジスタ16に送られ、次の反復で使用される。

【0017】 $I(n, 1)$ の計算の場合、 $Q(n)$ がクワッドラチャ・レジスタ14からロードされ、第2マルチプレクサ22を介して渡され、第2シフト・レジスタ24を介してシフトされずに渡され、加算器26への第2入力として与えられる。第1マルチプレクサ18は、第1シフト・レジスタ25を介して、加算器の第1入力として、加算器26にヌル値を与える。 $Q(n)$ の符号に基づき、コントローラ30は制御信号44を加算器26に与えて、加算器が加算または減算を実施するようする。累算器レジスタ28は $I(n, 1)$ を受け取り、ついでこの値をバス34を介して同相レジスタ12に伝送する。

【0018】 $Q(n, 1)$ の計算の場合、 $I(n)$ が、同相レジスタ12から第2マルチプレクサ22を介して渡され、第2シフト・レジスタ24を介してシフトせずに渡され、加算器26に第2入力として与えられる。ヌル値が第1マルチプレクサ18によって加算器26に与えられ、第1シフト・レジスタ25を介してシフトせずに渡され、加算器26の第1入力として受け取られる。 $Q(n)$ の符号に基づき、コントローラ30は制御信号44を加算器26に与えて、加算器26が、加算または減算を実施するようする。累算器レジスタ28は、加算器26から結果である $Q(n, 1)$ を受け取り、バス34を介してクワッドラチャ・レジスタにその結果を与える。

【0019】 反復 $k=2$ の場合、位相値 $\Phi(n, 2)$ は、 $\Phi(n, 1) + Sq * \text{atan}[2^{-1}]$ を合計することによって出す。制御信号44と反復指標に基づき、第2マルチプレクサは、メモリ20から正しい情報を受け取る。メモリ20から与えられる値は、 $\text{atan}[2^{-1}]$ の値と等しい。角レジスタ16の内容である $\Phi(n, 1)$ は、第1マルチプレクサ18に与えられる。

第1マルチプレクサ18はついで、この値を、第1シフト・レジスタ25を介してシフトせずに加算器26に、加算器の第1入力として送る。第2マルチプレクサ22は、この内容を、第2シフト・レジスタ24を介してシフトせずに送り、この値を加算器26の第2入力として与える。 $Q(n, 1)$ の符号に基づき、コントローラ30は、制御信号44を加算器26に与えて、加算器26が、アルゴリズムに従って、加算または減算を実施するようする。加算器26からの結果である $\Phi(n, 2)$ はついで、累算器レジスタ28によって受け取られる。制御信号44に基づき、値 $\Phi(n, 2)$ はついで、バス34を介して角レジスタ16に与えられて、次の演算のために格納される。

【0020】 反復 $k=2$ の場合、 $I(n, 2) = I(n, 1) + Sq * Q(n, 1) * 2^{-1}$ である。この演算を達成するには、同相レジスタ12の内容、 $I(n, 1)$ が第1マルチプレクサ18にロードされて、直接第1シフト・レジスタ25を介してシフトせずに第1入力として加算器26に与えられる。クワッドラチャ・レジスタ14の内容はついで、第2マルチプレクサ22に与えられる。第2マルチプレクサ22から、 $Q(n, 1)$ の値は第2シフト・レジスタ24に与えられ、アルゴリズムに従って右に1ビットシフトされる。第2シフト・レジスタ24からの値はついで、第2加算器入力として加算器26に入力される。 $Q(n, 1)$ の符号に基づき、コントローラ30は、制御信号44を加算器46に与えて、アルゴリズムに従って加算または減算を実行する。加算器26からの結果である $I(n, 2)$ はついで累算器レジスタ28によって受け取られる。制御信号44に基づき、値 $I(n, 2)$ はついでバス34を介して同相レジスタ12に与えられ、次の演算のために格納される。

【0021】 最後に、反復 $k=2$ の場合、 $Q(n, 2) = Q(n, 1) - Sq * I(n, 1) * 2^{-1}$ である。この演算を実施するには、クワッドラチャ・レジスタ14の内容である $Q(n, 1)$ が第1マルチプレクサ18に入力され、第1シフト・レジスタ25を介して送られ、第1加算器入力として加算器26に与えられる。同相レジスタ12の内容は、第2マルチプレクサ22に与えられ、第1シフト・レジスタ25に送られて、右に1ビットシフトされ、加算器26に第2加算器入力として与えられる。 $Q(n, 1)$ の符号に基づき、制御信号44がコントローラ30によって与えられて、加算器26は、その入力を加算するか、またはその第1入力から第2入力を減算する。加算器26の結果である $Q(n, 2)$ は、累算器レジスタ28に与えられ、ついでデータ・バス34を介してクワッドラチャ・レジスタ14に送られ

る。

【0022】反復 $k = 3$ ないし 15 の場合、回路 10 は、反復 $k = 2$ のために実施された段階と一貫性のある CORDIC アルゴリズムを実施する。反復 $k = 3$ ないし 15 に基づき、アルゴリズムによる最終結果である $I(n, 15)$ および $\Phi(n, 15)$ はそれぞれ、1 個の加算器のみを使用して、ラジアス値または振幅値と位相値を表す（これは先行技術の回路では実現しなかつた）。ラジアス値と位相値を決定する回路 10 の各演算の後、値は、その後のフィルタリング動作で使用するために、ダイナミック・メモリ 32 に格納されるのが望ましく、またバス 34 を介してデータ出力 48 として与えられる。

【0023】本発明の回路 10 はさらに、ダイナミック・メモリ 32、同相レジスタ 12、および累算器レジスタ 28 の相互に動作可能な結合によって構成されて、コントローラによって与えられる振幅変調制御信号 44 に基づき、ラジアス値から、振幅変調 (AM) 情報を抽出する。ラジアス値 $I(n, 15)$ はサンプル期間 (n) の AM 情報を表すので、コントローラは、単に常駐の場所から AM 情報にアクセスして、データ出力 48 として信号値 $I(n, 15)$ を与えることによって、AM 情報を抽出する。しかしながら、当業者は、信号を強化するのに、ラジアス値 $I(n, 15)$ のさらなる操作が必要となることを容易に認めよう。

【0024】回路 10 は、位相値に対し算術演算を行うことによって、計算された位相値から FM 情報を抽出する。このため、回路 10 はさらに、ダイナミック・メモリ 32、同相レジスタ 12、クワッドラチャ・レジスタ 14、第 1 マルチプレクサ 18、第 2 マルチプレクサ 22、加算器 26、および累算器レジスタ 28 の相互に動作可能な結合によって構成されて、コントローラが与える周波数変調制御信号 44 に基づき、位相値から周波数変調 (FM) 情報を抽出する。MPX(n) で表される FM 情報は、以下のように位相値から抽出される。

【0025】

$MPX(n) = \Phi(n, 15) - \Phi(n-1, 15)$
FM 情報を抽出する動作において、回路 10 は最初に、第 1 マルチプレクサ 18 の現在の位相値 $\Phi(n, 15)$ の結果をロードして、この値を第 1 シフト・レジスタ 25 を介してシフトせずに加算器 26 に渡す。次に、回路 10 は、メモリ 32 から値 $\Phi(n-1, 15)$ を検索して、この値を、データ・バス 34 を介してクワッドラチャ・レジスタ 14 に渡し、この値を第 2 マルチプレクサ 22 に送り、この値を第 2 シフト・レジスタ 24 を介してシフトせずに加算器 26 に渡し、この結果を累算器レジスタ 28 に渡す。回路 10 はついで、MPX(n) をデータ出力 48 として与えてその後も使用するか、この値をダイナミック・メモリ 32 に格納する。或いはその

両方を行う。

【0026】回路 10 は最初、フィルタしない AM および FM 情報を高いサンプリング速度で抽出する。しかしながら、より低いサンプリング速度で信号をデシメートして、可聴信号処理などその後の処理が、AM/FM 情報に対しより低い処理速度で実施できるようにすることが望ましい。技術上周知のように、デシメーション・プロセスはまた、信号が低域フィルタされて、対象帯域内での高周波成分のエイリアシングを回避する。このため、回路 10 はさらに、ダイナミック・メモリ 32、同相レジスタ 12、クワッドラチャ・レジスタ 14、第 1 マルチプレクサ 18、第 2 マルチプレクサ 22、第 1 シフト・レジスタ 25、第 2 シフト・レジスタ 24、加算器 26、および累算器レジスタ 28 の相互に動作可能な結合によって構成され、コントローラ 30 によって与えられたフィルタ制御信号に基づき、ラジアス値および位相値からフィルタした信号を生じる。この相互に動作可能な結合はまた、以前にラジアス値と位相値から導出した AM 情報と FM 情報をフィルタするように動作できる。フィルタリングは多くの方法で実施でき、当業者は、本発明の回路 10 が、各種のフィルタリング機能を実施できることを容易に理解しよう。しかしながらここでは、くし形フィルタとこれと同等のカスケード式の一様な有限インパルス応答 (cascaded uniform finite impulse response : FIR) の実現を検討する。

【0027】くし形フィルタは、複数の加算演算を実施して、デシメーション前に、フィルタしていない信号から高周波成分を除去する。そのため、以前導出した FM 情報、MPX(n)、は次数 M の一様な FIR フィルタの N 段階のカスケードに従ってフィルタできる。各段階の個々の伝達関数は次の式によって与えられる。

【0028】

$$H_1(z) = \frac{1}{(M+1)} \sum_{k=0}^{M-1} z^{-k}$$

この種のフィルタの利点は、乗算を必要としないことと、係数がすべて 1 (unity) であるため、係数の格納を必要としないことである。このため、たとえば、M=1 で N=4 の場合、4 段階を有するカスケード式フィルタ (cascaded filter) (各段階が 1 次になっている) は、次の伝達関数を有する：

$$H_{TC} = [(1 + z^{-1}) / 2]^4$$

この関数はフィルタのカスケードとして実現でき、それぞれ、伝達関数 $(1/2) * (1 + z^{-1})$ を有する。CORDIC アルゴリズムにより MPX(n) だとすると、MPXD(n) (FM 信号のフィルタした値) は次のように計算できる。

【0029】

$$MPX_1(n) = [MPX(n) + MPX(n-1)] * 1/2$$

$$\begin{aligned} MPX2(n) &= [MPX1(n) + MPX1(n-1)] * 1/2 \\ MPX3(n) &= [MPX2(n) + MPX2(n-1)] * 1/2 \\ MPXD(n) &= [MPX3(n) + MPX3(n-1)] * 1/2 \end{aligned}$$

最終結果であるMPXD(n)は、サンプル間隔(n)に対するフィルタしたFM信号に等しい。フィルタリング動作を実施するには、反復的加算機能が、クワッドラチャ・レジスタ14, 角レジスタ16, 第1マルチプレクサ18, 第2マルチプレクサ22, 加算器26, 累算器レジスタ28, およびダイナミック・メモリ32を使用して実施される。同相レジスタ12は、以前決定したラジアス値を保持するので、フィルタリング動作には使用されないことが望ましい。しかしながら、当業者は、ラジアス値を、代わりにダイナミック・メモリ32に格納できることを容易に認めよう。コントローラ30は制御信号44を与え、この信号はダイナミック・メモリ32にアクセスして必要な情報にアクセスし、この情報を角レジスタ16とクワッドラチャ・レジスタ14に与える。これらの値はついで、第1マルチプレクサ18と第2マルチプレクサ22, 第1シフト・レジスタ25と第2シフト・レジスタ24(ともに1/2による乗算を達成するために1ビット右にシフトされる)を通じて経路設定され、ついで加算器26に与えられる。加算器26は必要な演算を実施し、結果を累算器レジスタ28に入れる。中間結果はダイナミック・メモリ32に格納され、加算演算のために必要に応じてアクセスされる。最後に、フィルタされた結果であるMPXD(n)がサンプル間隔(n)に対して与えられ、データ出力48として与えられる。当業者は、種々の次数のくし形フィルタが、本発明の回路10によって容易に実施できることをすぐに認めよう。

【0030】本発明の回路10を使用して実現できるもう1つの種類のフィルタは、非1(non-unit)の係数FIRフィルタであり、これは一連の乗算および加算演算を含んで、フィルタした信号を作る。入力信号x(n)の場合、j次の非1の係数FIRフィルタは、次式に従ってフィルタした出力Fx(n)を生じると説明できる。

k(i)	第1mux	第2mux	第1SR	第2SR	加算器
ピット	ロード	ロード	シフト	シフト	
0 0 0	ACC	ヌル	右2	なし	加算
0 0 1	ACC	Q Reg	右2	なし	加算
0 1 0	ACC	Q Reg	右2	なし	加算
0 1 1	ACC	Q Reg	右2	左1	加算
1 0 0	ACC	Q Reg	右2	左1	減算
1 0 1	ACC	Q Reg	右2	なし	減算
1 1 0	ACC	Q Reg	右2	なし	減算
1 1 1	ACC	ヌル	右2	なし	加算

各k(i)*x(n-1)の積を計算する8サイクルを完了した後、Fx(n)が累算器レジスタ28で作られる。この値はついで、今後使用するためにデータ出力4

【0031】

$$Fx(n) = \sum_{i=0}^j k(i) * x(n-i)$$

ここでk(i)は、メモリ20に常駐する非1のフィルタ係数であり、x(n-i)はダイナミック・メモリ32に常駐する以前の入力値である。このため、FIRフィルタリング機能は、以前のサンプリング期間中に得られた値x(n)に対し動作し、これらに定数k(i)を掛けて、ついでこれらの積を加算してFx(n)を作る。メモリ20に格納された係数k(i)は、コントローラ30に提供され、変形ブースのアルゴリズム(modified Booth's algorithm)に従ってデコードする。ダイナミック・メモリ32に格納されたx(n-1)値は、クワッドラチャ・レジスタ14に順にロードされる。各積k(i)*x(n-1)は、8サイクルで生成できる。これらの各サイクルの間、コントローラ30は、変形ブースのアルゴリズムに従って、k(i)値の隣接ビットを検査し、シフタ24, シフタ25, マルチプレクサ18と22の両方、クワッドラチャ・レジスタ14, 角レジスタ16, および累算器レジスタ28に対する制御信号44を決定する。各サイクルにつき、デコードされるk(i)のビットが、回路10の各素子の動作を決定する。最終サイクルに先立つ各サイクルの間は、中間結果は加算器26によって生成される。FIRフィルタの3ビットの値に基づき、回路10はフィルタした結果を出すように動作する。k(i)ビットに基づき、値は第1マルチプレクサ18(第1mux)にロードされ、第2マルチプレクサ22(第2mux)にロードされ、第1シフト・レジスタ25(第1SR)の動作によってシフトされ、第2シフト・レジスタ24(第2SR)の動作によってシフトされ、以下に従って加算器26によって動作される。

8として与えられる。反復プロセスと、変形ブースのアルゴリズムの使用によって、本発明の回路10は効率的にFIRフィルタを実施する。このため、本発明は1個

の加算器のみを使用して、CORDICアルゴリズムとその後のフィルタリングを実施する。1個の加算器しか必要としないことにより、本発明は、先行技術の回路に比べて、消費電力が低減し、必要な回路の数や使用するダイ面積が少なくて済む。

【0032】図2は、算術演算を達成するための並列プロセッサ100の概略ブロック図を示す。並列プロセッサ100は、複数の多重タスク演算装置50、各多重タスク演算装置50と動作的に結合されるデータ・バス104、各多重タスク演算装置50と動作的に結合されるメモリ20、各多重タスク演算装置50と動作的に結合されるダイナミック・メモリ32、および各多重タスク演算装置50に制御信号を与えるコントローラ102によって構成され、制御信号に基づき、各種の算術演算が並列プロセッサによって実施される。

【0033】図1を参照して、各多重タスク演算装置50は、互いに動作的に結合された、同相レジスタ12、クワッドラチャ・レジスタ14、角レジスタ16、第1マルチプレクサ18、第2マルチプレクサ22、第1シフト・レジスタ25、第2シフト・レジスタ24、加算器26、および累算器レジスタ28によって構成されることが望ましい。各多重タスク演算装置50は、各種の算術演算を実施するように動作できる。たとえば、各多重タスク演算装置50は、同相信号とクワッドラチャ信号に基づいて、ラジアス値と位相値を計算して、他の信号からAM情報とFM情報を抽出し、信号をフィルタし、乗算を実施し、または各種の他の演算を実施できる。

【0034】多くの用途の処理条件では、算術演算が並列して実施されて所望の結果を出すことが要求される。そのため、本発明の並列プロセッサ100は、メモリの資源を共有できる一方、多重タスク演算装置50間の処理条件を配分できる。具体的にデジタル・ラジオ用途に関して言えば、メモリ20とダイナミック・メモリ32とに結合された1つの多重タスク演算装置50は、CORDIC角累算モード・アルゴリズムを実施できる一方で、もう1つの多重タスク演算装置50はフィルタリング機能を実施できる。データは経時に順にデジタ

ル・ラジオに入ってくるので、各多重タスク演算装置50は、データの他の部分を破壊せずに、データの一部分に対し機能できる。このようにして、優れたデータ変換、抽出およびフィルタリング機能が並列プロセッサ100によって得られる。

【0035】上記の好適な実施例は、本発明の原理を明かにすることを意図したものであって、本発明の範囲を限定することを意図するものではない。当業者には、以下の請求の範囲から逸脱することなく、これら的好適な実施例に対し、他の種々の実施例および変形ができるよう。

【図面の簡単な説明】

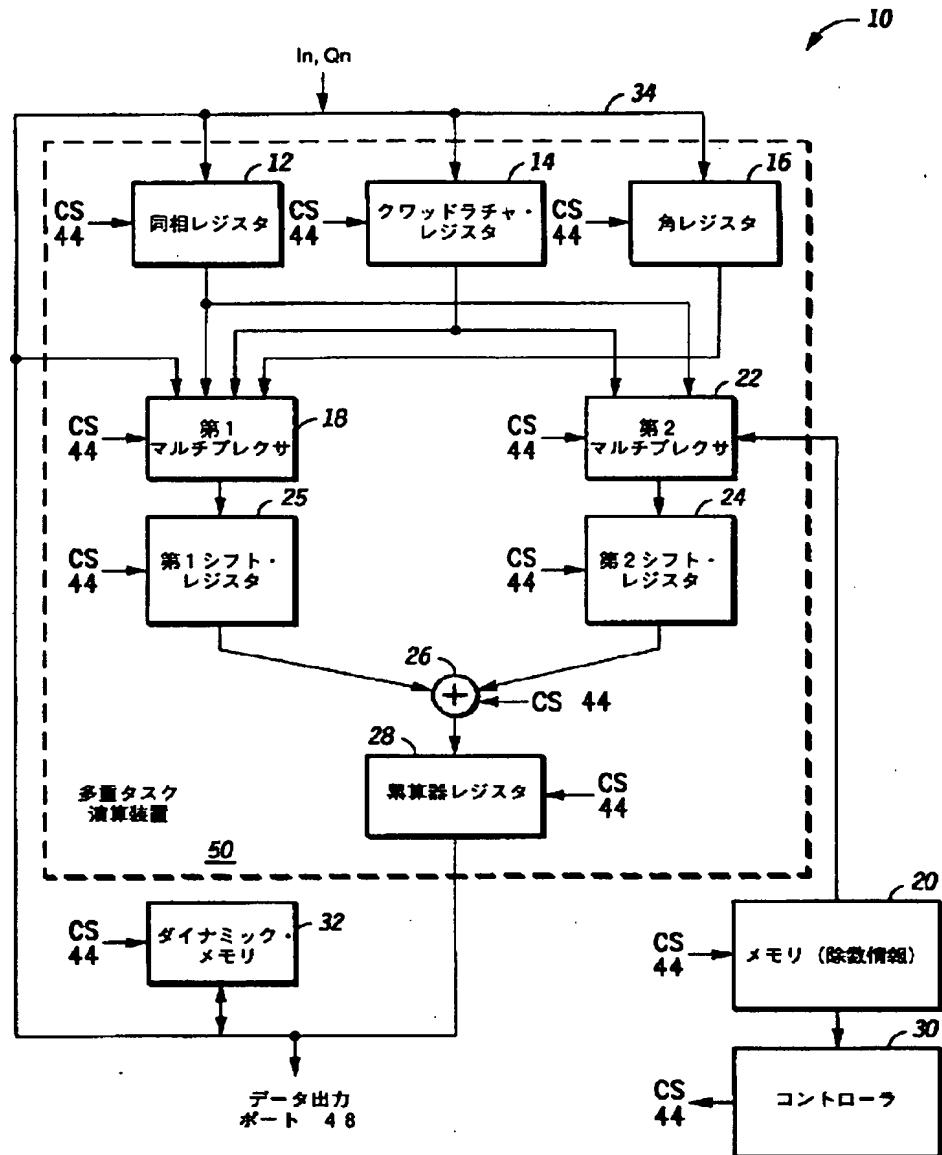
【図1】 本発明によりラジアス値と位相値を決定する回路の概略ブロック図を示す。

【図2】 本発明により各種の算術演算を実施する並列プロセッサの概略ブロック図を示す。

【符号の説明】

10	回路
12	同相レジスタ
20	14 クワッドラチャ・レジスタ 16 角レジスタ 18 第1マルチプレクサ 20 メモリ 22 第2マルチプレクサ 24 第2シフト・レジスタ 25 第1シフト・レジスタ 26 加算器 28 累算器レジスタ 30 コントローラ
30	32 ダイナミック・メモリ 34 データ・バス 44 制御信号 48 データ出力ポート 50 多重タスク演算装置 100 並列プロセッサ 102 コントローラ 104 データ・バス

【図1】



【図2】

